

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-245033

(43)Date of publication of application : 12.10.1988

(51)Int.Cl.

H04L 7/08

H04J 3/06

(21)Application number : 62-078169

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.1987

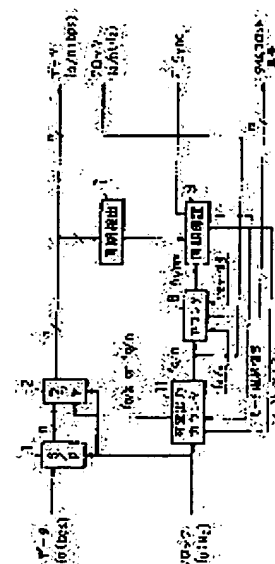
(72)Inventor : IGUCHI KAZUO
SOEJIMA TETSUO
MURANO KAZUO

(54) HIGH SPEED FRAME SYNCHRONIZING SYSTEM

(57)Abstract:

PURPOSE: To attain high speed operation by applying detection of synchronization in parallel before the detection of a frame synchronizing signal and repeating the detection of synchronization after the detection of frame synchronizing signal and discriminating the establishment of the synchronization at the detection of synchronization for a prescribed number of times.

CONSTITUTION: Before the detection of a frame synchronizing signal, a latch section 2 uses a latch pulse of f_0/kHz to apply latching for each n-bit. A synchronizing detection section 7 applies the detection of a frame synchronizing signal from the latched data at each latch period $T_k = k/f_0$, shifts the latch pulse by one bit for each frame to shift the latch data by one bit thereby detecting the synchronization if the signal is not detected, then the synchronization is detected within k-frame. After the detection of a frame synchronizing signal, a latch section 2 uses a latch pulse of f_0/nHz to repeat the detection of synchronization for each latch period of $T_n = n/f_0$, then the detection of synchronization is applied for each frame, and the establishment of synchronization is discriminated. Thus, high speed frame synchronization processing is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-245033

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月12日

H 04 L 7/08
H 04 J 3/06
H 04 L 7/08

A-6914-5K
A-6914-5K
D-6914-5K

審査請求 未請求 発明の数 2 (全13頁)

⑮ 発明の名称 高速フレーム同期方式

⑯ 特 願 昭62-78169

⑰ 出 願 昭62(1987)3月31日

⑱ 発 明 者 井 口 一 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 副 島 哲 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 村 野 和 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 井理士 玉蟲 久五郎 外1名

明 細 書

1. 発明の名称 高速フレーム同期方式

2. 特許請求の範囲

(1) 1 フレーム内に n ビットからなるフレーム同期信号またはフレーム同期信号の一部を集中的に配置して f_0 (bps) でシリアルに伝送するPCM通信の受信側におけるフレーム同期方式において、

該シリアル信号をパラレル信号に変換してラッチするラッチ手段(101)と、

該ラッチされた信号から前記フレーム同期用信号の検出を行う同期検出手段(102)と、

前記ラッチ手段(101)におけるラッチタイミングパルスとして、フレーム同期用信号の検出前は f_0/k (Hz) ($n > k \geq 2$)、フレーム同期用信号の検出後は f_0/n (Hz) に変化させて与えるラッチタイミング信号発生手段(103)と

を具備したことを特徴とする高速フレーム同期方式。

(2) 1 フレーム内に n ビットからなるフレーム同期信号またはフレーム同期信号の一部を集中的に配置して f_0 (bps) でシリアルに伝送するPCM通信の受信側におけるフレーム同期方式において、

該シリアル信号をパラレル信号に変換してラッチするラッチ手段(101)と、

複数個の同期検出部を有し、前記ラッチされた信号における順次1ビットずつ異なる位置の n ビットの信号からそれぞれ前記フレーム同期用信号の検出を行う並列同期検出手段(102A)と、

前記ラッチ手段(101)におけるラッチタイミングパルスとして、フレーム同期用信号の検出前は f_0/k (Hz) ($n > k \geq 2$)、フレーム同期用信号の検出後は f_0/n (Hz) に変化させて与えるラッチタイミング信号発生手段(103)と

前記ラッチされた信号からフレーム同期用信号を検出した同期検出部に対応する位置の1タイムスロットの信号を抽出して出力する出力選択手段(104)と

を具備したことを特徴とする高速フレーム同

期方式。

(3)前記出力選択手段(104)が、フレーム同期用信号を検出した同期検出部からの制御に基づいて前記ラッチ手段(101)の複数本の出力線から1タイムスロット分の信号を選択するセレクト手段であることを特徴とする特許請求の範囲第2項記載の高速フレーム同期方式。

(4)前記出力選択手段(104)が、フレーム同期用信号を検出した同期検出部からの制御に基づいて前記ラッチタイミング信号発生手段(103)におけるラッチタイミングパルスの位相を変化させる位相選択手段であることを特徴とする特許請求の範囲第2項記載の高速フレーム同期方式。

3.発明の詳細な説明

(目次)

概 要

産業上の利用分野

従来の技術(第11図～第15図)

発明が解決しようとする問題点

ビットの並列出力を発生し、フレーム同期信号検出前においては、これをラッチ周期 $T_k = k/f_0$ で $n+k-1$ ビットごとにラッチし、 k 個の同期検出部によつて並列にフレーム同期信号検出を行うことによつて、1フレーム内に同期検出を可能にする。フレーム同期信号検出後はラッチ周期 $T_n = n/f_0$ でラッチして同期検出を繰り返し、所定回数の同期検出が行われたとき、同期確立を判定する。そしてラッチ部の $n+k-1$ ビットの並列出力のうち、フレーム同期信号を検出した位置に対応する n ビットを抽出することによつて、所要の1タイムスロット分の出力を発生する。

(産業上の利用分野)

本発明は受信データのフレーム同期をとるフレーム同期方式に係り、特に高速動作が可能であるとともに同期確立時間が短い高速フレーム同期方式に関するものである。

PCM通信においては、受信側において送信データを正しく受信できるようにするため、送信デ

問題点を解決するための手段(第1図)

作 用

実施例(第2図～第10図)

発明の効果

(概 要)

1フレーム内に n ビットからなるフレーム同期信号を集中的に配置してシリアルに伝送するPCM通信の受信側において、入力データを直並列変換して n ビットの並列出力を発生し、フレーム同期信号検出前においては、これをラッチ周期 $T_k = k/f_0$ で n ビットごとにラッチしてフレーム同期信号検出を行い、検出できなかったとき、1フレームごとにラッチデータを1ビットシフトして同期検出を行うことによつて、 k フレーム内に同期検出を可能にする。フレーム同期信号検出後はラッチ周期 $T_n = n/f_0$ でラッチして同期検出を繰り返し、所定回数の同期検出が行われたとき、同期確立を判定する。

または入力データを直並列変換して $n+k-1$

ータにフレーム同期信号を重畳して送出し、受信側ではこのフレーム同期信号をもとに、受信データの位相を識別するフレーム同期方法が、一般に用いられている。

このようなフレーム同期方式においては、できるだけ高速で同期動作を行うことができるとともに、同期確立にいたる時間が短いことが要望される。

(従来の技術)

従来フレーム同期方式としては、次に述べるような2通りの手法が用いられている。なお以下においてはフレーム構成として、第11図に示すように1フレーム= m タイムスロット(TS)、1タイムスロット= n ビットとし、第1タイムスロットにフレーム同期信号PSYNCを集中配置するものとする。

第12図は第1の従来例の構成を示したものであつて、同期検出をビットごとに行う場合を例示している。

また第13図はこの場合の各部信号のタイムチャートを示したものである。

第12図において、 f_0 bpsからなる入力シリアルデータは直並列変換(S/P)部1において、 f_0 Hzのクロックによつて1タイムスロット相当の n ビットの並列信号に直並列変換され、ラッチ部2において f_0 および f_0/n Hzのクロックによつてラッチされて、 f_0/n bpsの出力データを生じる。

一方同期検出部5は、直並列変換部1の n ビットの並列信号を、所定のフレーム同期信号パターンと比較して、一致したときリセット信号を発生して、カウンタ3およびカウンタ4をリセットする。ここでカウンタ3はビットカウンタであつて、 f_0 Hzのクロックによつて入力データのビット数をカウントして、 f_0/n bpsのバースすなわちタイムスロットの区切りを示す出力を発生する。カウンタ4はタイムスロットカウンタであつて、カウンタ3の f_0/n のバースをカウントして、 f_0/nm bpsのバースすなわちフレームの区切りを示す

クロックを発生する。

同期保護部6はカウンタ4の出力に応じて、次にフレーム同期信号が到達したとき、同期検出部5において再び一致が検出されたか否かを見る。後方保護としてこれを複数回繰返しを行い、所定回数連続してフレーム同期信号パターンが検出されたとき、フレーム同期確立を判定してフレーム同期パルスP.Syncを出力する。

第13図においては、直並列変換部1における各レジスタ出力 $SR1, \dots, SRn-1, SRn$ に、太実線で示すようにフレーム同期信号パターン $F1, \dots, Fn-1, Fn$ が現れたときリセット信号が出力されて、カウンタ3、カウンタ4がリセットされることが示されている。

第14図は第2の従来例の構成を示したものであつて、同期検出をタイムスロットごとに行う場合を例示している。

また第15図はこの場合の各部信号のタイムチャートを示したものである。

第14図において、直並列変換(S/P)部1、

ラッチ部2およびカウンタ3は高速部を構成し、 f_0 bpsからなる入力シリアルデータは直並列変換部1において、 f_0 Hzのクロックによつて1タイムスロット相当の n ビットの並列信号に直並列変換され、ラッチ部2において f_0 およびカウンタ3の f_0/n Hzのクロックによつてラッチされて、 f_0/n bpsの出力データを生じる。カウンタ3は高速カウンタであつて、 f_0 Hzのクロックによつて入力データのビット数をカウントして、 f_0/n bpsのバースすなわちタイムスロットの区切りを示すクロックを発生する。

一方同期検出部7、カウンタ8、同期保護部9は低速部を構成し、同期検出部7はラッチ部2にラッチされた n ビットの並列信号を、所定のフレーム同期信号パターンと比較して、一致するか否かを検出する。

同期保護部9は同期検出部7において一致が検出されないときはカウンタ8にシフトパルスを送つて、カウントを1ビットシフトし、これによつてラッチ2におけるラッチタイミングが1ビット

シフトされる。同期検出部7においては次のフレームにおいて再び一致検出を行う。このような動作を繰返し、ラッチタイミングを順次1ビットずつシフトしながら同期検出を続ける。同期検出部7においてフレーム同期信号パターンとの一致が検出されたとき、同期保護部9はリセット信号を発生して、カウンタ8をリセットする。カウンタ8は低速カウンタであつて、カウンタ3の f_0/n のバースをカウントして、 f_0/nm bpsのバースすなわちフレームの区切りを示すクロックを発生するものである。

その後、後方保護として複数回の一致検出が行われるか否かを見て、所定回数連続してフレーム同期信号パターンが検出されたとき、フレーム同期確立を判定してフレーム同期パルスP.Syncを出力する。

第15図においては、ラッチ部2における各レジスタ出力 $LR1, \dots, LRn-1, LRn$ がシフトパルスによつて、順次1ビットずつシフトされ、太実線で示すようにフレーム同期信号パターン $F1, \dots, Fn-1,$

F_n が現れたときリセット信号が出力されて、カウンタ8がリセットされることが示されている。

(発明が解決しようとする問題点)

第12図および第13図に示された従来の方式では、同期検出部において伝送路速度(f_0 bps)でフレーム同期信号の検出を行っており、伝送信号に誤りがなければ1フレーム時間内に必ずフレーム同期信号を捕獲することができ、同期確立が速い利点がある。

しかしながら本方式では、直並列変換、同期検出、カウンタリセット等の一連の処理を1ビット以内に行う必要があり、各構成部分に対して高速動作が要求される。本方式の場合、高速動作を必要とするループを含むため、使用デバイス(特にフリップ・フロップ)の最高動作速度に対する本方式での動作可能速度は、 $1/2$ 以下となることが予想される。

第14図および第15図に示された従来の方式では、高速動作を必要とするのは、直並列変換部1、ラ

ッチ部2およびカウンタ3からなる高速部のみであり、ループ系を含む低速部はタイムスロット速度で動作すればよいので、使用デバイスの最高動作速度に対する動作可能速度が向上する。

しかしながら本方式では、フレーム同期信号検出にいたる時間が長く、最悪 n フレーム時間を必要とする。従って同期確立時間が長く、伝送路の切り替え等を行う場合、末端の端局装置に対する波及効果が大きく、特に多段接続されている場合問題となる。

(問題点を解決するための手段)

本発明はこのような従来技術の問題点を解決しようとするものであつて、第1の発明は第1図(a)に示す原理的構成を有し、1フレーム内に n ビットからなるフレーム同期信号またはフレーム同期信号の一部を集中的に配置して f_0 (bps)でシリアルに伝送するPCM通信の受信側におけるフレーム同期方式において、ラッチ手段101と、同期検出手段102と、ラッチタイミング信号発生手段

103とを具えたものである。

また第2の発明は第1図(b)に示す原理的構成を有し、1フレーム内に n ビットからなるフレーム同期信号またはフレーム同期信号の一部を集中的に配置して f_0 (bps)でシリアルに伝送するPCM通信の受信側におけるフレーム同期方式において、ラッチ手段101と、並列同期検出手段102Aと、ラッチタイミング信号発生手段103と、出力選択手段104とを具えたものである。

ラッチ手段101は、シリアル信号をパラレル信号に変換してラッチするものである。

同期検出手段102は、ラッチされた信号からフレーム同期用信号の検出を行うものである。

並列同期検出手段102Aは、複数個の同期検出部を有し、ラッチされた信号における順次1ビットずつ異なる位置の n ビットの信号からそれぞれフレーム同期用信号の検出を行うものである。

ラッチタイミング信号発生手段103は、ラッチ手段101におけるラッチタイミングパルスとして、フレーム同期用信号の検出前は f_0/k (Hz)(n

$> k \geq 2$)、フレーム同期用信号の検出後は f_0/n (Hz)に変化させて与えるものである。

出力選択手段104は、ラッチされた信号からフレーム同期用信号を検出した同期検出部に対応する位置の1タイムスロットの信号を抽出して出力するものである。

さらに第2の発明において、出力選択手段104をフレーム同期用信号を検出した同期検出部からの制御に基づいてラッチ手段101の複数本の出力線から1タイムスロットの信号を選択するセレクタ手段とし、また出力選択手段104をフレーム同期用信号を検出した同期検出部からの制御に基づいてラッチタイミング信号発生手段103におけるラッチタイミングパルスの位相を変化させる位相選択手段としたものである。

(作用)

第1の発明においては、直並列変換部において入力データを n ビットごとに f_0 Hzのクロックで直並列変換して n ビットの並列出力を発生する。

フレーム同期信号検出前においては、ラッチ部は f_0/k Hz のラッチパルスによつて n ビットごとにラッチする。同期検出部は 1 個であつて、ラッチされたデータからラッチ周期 $T_k = k/f_0$ ごとにフレーム同期信号検出を行い、検出できなかったとき、1 フレームごとにラッチパルスを 1 ビットシフトして、ラッチデータを 1 ビットシフトして同期検出を行うので、 k フレーム内に同期検出を行うことができる。フレーム同期信号検出後はラッチパルスを f_0/n Hz にして、ラッチ周期 $T_n = n/f_0$ ごとに同期検出を繰り返すので、伝送路誤りがない限り 1 フレームごとに同期検出が行われ、所定回数の同期検出が行われたとき、同期確立を判定する。

第 2 の発明においては、直並列変換部において入力データを $n+k-1$ ビットごとに f_0 Hz のクロックで直並列変換して $n+k-1$ ビットの並列出力を発生する。フレーム同期信号検出前においては、ラッチ部は f_0/k Hz のラッチパルスによつて $n+k-1$ ビットごとにラッチする。同期検出

部は k 個であつて、ラッチされたデータからラッチ周期 $T_k = k/f_0$ ごとにフレーム同期信号検出を行うので、1 フレーム内に同期検出を行うことができる。フレーム同期信号検出後はラッチパルスを f_0/n Hz にして、ラッチ周期 $T_n = n/f_0$ ごとに同期検出を繰り返すので、伝送路誤りがない限り 1 フレームごとに同期検出が行われ、所定回数の同期検出が行われたとき、同期確立を判定する。そしてラッチ部の $n+k-1$ ビットの並列出力のうち、 k 個の同期検出部のうちのフレーム同期信号を検出した同期検出部の番号に対応する n ビットを抽出することによつて、所要の 1 タイムスロット分の出力を発生する。

(実施例)

第 2 図は本発明の一実施例を示したものであつて、第 14 図における同じ部分を同じ番号で示し、11 は可変出力カウンタである。

第 3 図は第 2 図における可変出力カウンタ 11 の構成例を示したものである。

また第 4 図は第 2 図および第 3 図における各部位を示すタイムチャートであつて、 $n=4$ 、 $k=2$ の場合を例示している。

直並列変換 (S/P) 部 1、ラッチ部 2、可変出力カウンタ 11 からなる高速部の構成は第 14 図の場合と同様であるが、可変出力カウンタ 11 は f_0 Hz のクロックを分周して、2 種類の異なる分周出力 (f_0/k Hz, f_0/n Hz) を発生することができる。なお分周比 k の値として、 $n > k \geq 2$ をとるものとする。

f_0 bps からなる入力シリアルデータは直並列変換部 1 において、 f_0 Hz のクロックによつて 1 タイムスロット相当の n ビットの並列信号に直並列変換され、ラッチ部 2 において f_0 および可変出力カウンタ 11 のクロックによつてラッチされて、出力データを生じる。

同期検出部 7 におけるフレーム同期信号検出前は、同期保護回路 9 からのモード選択信号に基づき、可変出力カウンタ 11 は分周出力 f_0/k を生じ、ラッチ部 2 はこれによつてラッチして、 n ビッ

トの出力データを生じる。

同期検出部 7、カウンタ 8、同期保護部 9 は低速部を構成し、同期検出部 7 はラッチ部 2 にラッチされた n ビットの並列信号を、所定のフレーム同期信号パターンと比較して、一致するか否かを検出する。この場合のフレーム同期信号検出は、入力データの k ビットごとに行われる。

同期保護部 9 は同期検出部 7 において、1 フレーム間の検出によつては一致が検出されないときは、可変出力カウンタ 11 にシフトパルスを送つてカウントを 1 ビットシフトし、これによつてラッチ部 2 におけるラッチタイミングが 1 ビットシフトされる。同期検出部 7 においては再び一致検出を行う。このような動作を繰り返して、ラッチタイミングを順次 1 ビットずつシフトしながら同期検出を続ける。従つて伝送路誤りがない限り、最悪 k フレーム間には一致が検出されることになる。例えば $k=2$ とすれば、次のフレームでは必ず一致検出が行われる。

同期検出部 7 においてフレーム同期信号パター

ンとの一致が検出されたとき、同期保護部9はモード選択信号を発生して可変出力カウンタ11から分周出力 f_o/n を発生させて、ラッチ部2においてタイムスロットごとにラッチするとともに、リセット信号を発生してカウンタ8をリセットする。カウンタ8は低速カウンタであつて、可変出力カウンタ11の f_o/n のパルスをカウントして、 f_o/n bpsのパルスすなわちフレームの区切りを示すクロックを発生するものである。

その後、フレームごとに同期検出を行つて、後方保護として複数回の一致検出が行われるか否かを見て、所定回数連続してフレーム同期信号パターンが検出されたとき、フレーム同期確立を判定してフレーム同期パルスP.Syncを出力する。

可変出力カウンタ11は第3図に示すように、クロック f_o をカウントする1段目のカウンタCNT1と2段目のカウンタCNT2とからなり、カウンタCNT1によつて f_o/k のクロックを発生し、カウンタCNT2によつて f_o/n のクロックを発生するものであつて、 $n=4$ 、 $k=2$ の場合には

カウンタCNT1は2分周のカウンタであり、カウンタCNT2は4分周のカウンタである。セレクトSELは同期保護部9のモード選択信号に応じてカウンタCNT1またはカウンタCNT2のクロックを選択して出力する。また、シフトパルスをカウンタCNT1のカウントイネーブル端子ENに加えることによつて、カウントをシフトする。

第4図においては、 $n=4$ に対応して直並列変換部1およびラッチ部2が4ビットから構成されているとき、直並列変換部1のレジスタSR1,SR2,SR3,SR4にフレーム同期信号パターンが現れないときは、モード選択信号が“L”であつて、ラッチ周期は $T_k = k/f_o$ (sec)であり、シフトパルスに応じて可変出力カウンタ11のカウントをシフトすることによつて、各レジスタの内容が順次1ビットずつずれながら f_o/k のラッチクロックによつてラッチ部2にラッチされ、太実線で示すようにフレーム同期信号パターンP1,P2,P3,P4が現れたとき、同期検出が行われてモード選択信号が

“H”となり、以後 f_o/k のラッチクロックによつてラッチされてラッチ周期は $T_n = n/f_o$ (sec)になるとともに、リセット信号が出力されてカウンタ8がリセットされることが示されている。

第2図～第4図の実施例に示された方式では、フレーム同期信号検出前は f_o/k ($k < n$)の周期でラッチし高速で同期検出を行うので、最悪同期検出時間は $T_{max} = kT_f$ (T_f はフレーム周期) ($2 \leq k < n$)に短縮される。フレーム同期回路全体のバランスを考慮して、フレーム処理部の動作速度を伝送路速度の $1/2$ ($k=2$ に相当する)とした場合、第15図に示された従来例において n フレーム分必要だった同期検出時間が2フレーム分に短縮される。一方、フレーム同期信号検出後は f_o/n の周期で低速で同期確立処理を行うので、従つて高速動作性と同期確立時間の短縮が同時に実現される。

第5図は本発明の他の実施例を示したものであつて、第2図における同じ部分を同じ番号で示

し、11は可変出力カウンタ、12は並列同期検出部、13は同期制御部、14はセレクトである。

第5A図は第5図における可変出力カウンタ11の構成例を示したものである。

第6図は第5図におけるカウンタ8、同期保護部9、並列同期検出部12、同期制御部13を含む同期処理部の構成例を示したものである。

また第7図は第5図および第6図における各信号を示すタイムチャートであつて、 $n=4$ 、 $k=2$ の場合を例示している。

直並列変換部1、ラッチ部2、可変出力カウンタ11からなる高速部の構成は第14図の場合と同様であるが、直並列変換部1およびラッチ部2は $n+k-1$ ビットからなつていて、 f_o bpsの入力データを f_o Hzのクロックによつて直並列変換し、 f_o および可変出力カウンタ11のクロックによつてラッチして、 $n+k-1$ ビットの並列出力を発生する。また可変出力カウンタ11の構成は、第2図および第3図において説明したものと同様であるが、カウントのシフト動作を行わず、従つてシ

フトパルス入力を欠いている。

同期検出部8におけるフレーム同期信号検出前は、同期保護回路9からのモード選択信号に基づき、可変出力カウンタ11は分周出力 f_o/k を生じ、ラッチ部2はこれによつてラッチして、 $n+K-1$ ビットの出力データを生じる。

並列同期検出部12は、第6図に具体的構成を示すごとく、 k 個の n ビットの同期検出部#1～# k からなり、 $n+k-1$ ビットの並列信号から順次1ビットずつずれた n ビットの信号を取り込んで、順次所定のフレーム同期信号パターンと比較して、いずれかの同期検出部で一致が検出されたとき、一致パルスが発生する。

並列同期検出部12においてフレーム同期信号パターンとの一致が検出されたとき、同期保護部9はモード選択信号が発生して可変出力カウンタ11から分周出力 f_o/n を発生させて、ラッチ部2においてタイムスロットごとにラッチするようにする。

同期制御部13において、オア回路ORは k 個の

同期検出部の一致パルスの論理和をとつてリセット信号を発生し、これによつてカウンタ8をリセットする。これと同時にストローブ信号を発生して、一致パルスを発生した同期検出部の番号を制御メモリMEMに書き込む。カウンタ8は低速カウンタであつて、可変出力カウンタ11の f_o/n のパルスをカウントして、 f_o/nm bpsのパルスすなわちフレームの区切りを示すクロックを発生するものである。

同期保護部9はカウンタ8の出力に応じて、次にフレーム同期信号が到達したとき、並列同期検出部12において再び一致が検出されたか否かを見るが、この際セレクトSELは制御メモリMEMの出力によつて制御されることによつて、前回一致を検出した同期検出部の出力を選択するので、同一タイムスロットに対して一致検出を行うことができる。同期保護部9においては後方保護として、これを複数回繰り返して行い、所定回数連続してフレーム同期信号パターンが検出されたとき、フレーム同期確立を判定してフレーム同期パルス

P.Syncを出力する。

これと同時に同期制御部13は制御メモリMEMの出力によつてセレクト14を制御して、ラッチ2の $n+k-1$ 本の並列信号出力から、並列同期検出部12において一致が検出された同期検出部に対応する n 本の信号を選択させる。これによつてセレクト14から f_o/n bpsの出力データを生じる。

第7図においては、 $n=4$ 、 $k=2$ に対応して直並列変換部1およびラッチ部2が5ビットから構成されているとき、直並列変換部1のレジスタSR1, SR2, SR3, SR4にフレーム同期信号パターンが現れないときは、モード選択信号が“L”であつて、ラッチ周期 $T_k = k/f_o$ (sec)であり、各レジスタの内容が順次1ビットずつずれながら f_o/k のラッチクロックによつてラッチ部2にラッチされ、太実線で示すようにフレーム同期信号パターンP1, P2, P3, P4が現れたとき、同期検出が行われてモード選択信号が“H”となり、以後 f_o/n のラッチクロックによつてラッチされてラッチ周期は $T_n = n/f_o$ (sec)になるとともに、リセッ

ト信号が出力されてカウンタ8がリセットされ、ストローブ信号によつて制御メモリMEMに同期検出部の番号(1,0)が書き込まれることが示されている。セレクト14はこれによつて、ラッチ2のレジスタLR1～LR4の出力を選択して出力する。

第5図～第7図の実施例に示された方式では、フレーム同期信号検出前は f_o/k ($k < n$)の周期でラッチし高速で同期検出を行い、さらに k 個の同期検出部によつて並列に同期検出処理を行っているので、1フレーム内に同期信号の検出を行うことが可能となり、第12図に示された第1の従来例と等価な同期確立時間を実現することができる。一方、フレーム同期信号検出後は、 f_o/n の周期で同期確立処理を行う。従つて高速動作性と同期確立時間の短縮が同時に実現される点も同様である。

そして同期信号検出後は、出力段に挿入されたセレクト14を並列同期処理部の制御メモリ内に書き込まれた同期信号が検出された同期検出部番号によつて制御することによつて、所要の1タイムス

ロット分の出力データを得るようにしている。

本実施例の場合、 k が大きくなるほど同期確立処理部分の動作速度を低下させることができるが、反面、同期検出部の数が増加する。

第8図は本発明の別の実施例を示したものであつて、第5図におけると同じ部分を同じ番号で示し、15は位相制御機能を有する可変出力カウンタである。第8図におけるカウンタ8、同期保護部9、並列同期検出部12、同期制御部13を含む同期処理部の構成は第6図に示されたものと同様である。

また第9図は第8図の実施例における位相制御機能を有する可変出力カウンタ15の構成例を示したものである。

第8図および第9図において、並列同期検出部12においてフレーム同期信号が検出されたとき、フレーム同期信号が検出された同期検出部の番号は制御メモリMEMに書き込まれる。位相セレクトPhase SELは、制御メモリMEMからの記憶された番号に対応する位相選択信号に基づいて、カ

ウンタCNT2の出力位相 $\phi_1 \sim \phi_k$ を選択する。これによつてそれぞれ位相を異にする k 本の f_0/n のラッチタイミングパルスのうち、フレーム同期信号が検出された同期検出部に相当するものがラッチ部2に与えられ、従つてラッチ部2の n 本の出力からフレーム同期信号が検出された同期検出部に相当する、所要の1タイムスロット分の出力データが得られる。

第10図は本発明のさらに別の実施例を示したものであつて、第8図におけると同じ部分を同じ番号で示し、16はシフトパルス発生回路である。第10図におけるカウンタ8、同期保護部9、並列同期検出部12、同期制御部13を含む同期処理部の構成は第6図に示されたものと同様である。

第10図において、並列同期検出部12においてフレーム同期信号が検出されたとき、フレーム同期信号が検出された同期検出部の番号は制御メモリMEMに書き込まれる。第10図の実施例では、第8図の実施例で位相セレクトPhase SELによつて可変出力カウンタ15の出力クロック f_0/n の位相

を変化させるようにした代りに、同期制御部13の制御出力によつて制御されるシフトパルス発生部16を設け、その出力パルスによつて可変出力カウンタ15のカウント数をシフトさせることによつて、ラッチ部2におけるラッチタイミングを制御するようにしたものであり、第8図の実施例と同様の動作を実現することができる。

(発明の効果)

以上説明したように本発明によれば、入力信号を高速でラッチした信号に対し、フレーム同期信号検出前は、ラッチデータをシフトしながら同期検出を行うかまたは複数個の同期検出部によつて並列に同期検出を行うことによつて、同期検出を短時間に行い、フレーム同期信号検出後は低速でラッチして同期検出を繰り返し、所定回数の同期検出が行われたとき、同期確立を判定するようにしたので、従来の高速ループ系における遅延時間に基づく高速動作に対する障害を除去することができるとともに、迅速な同期信号検出が可能と

なり、高速動作性と同期確立時間の短縮とを同時に実現することができる。

本発明方式はLSI化に有効であり、高速部の構成が単純化されるのでデバイスの最高動作速度付近での高速フレーム同期処理が可能になるとともに、高速動作部分が少ないので消費電力が低減される。

4.図面の簡単な説明

第1図は本発明の原理的構成を示す図、

第2図は本発明の一実施例を示す図、

第3図は第2図における可変出力カウンタの構成例を示す図、

第4図は第2図および第3図における各部信号を示すタイムチャート、

第5図は本発明の他の実施例を示す図、

第5A図は第5図における可変出力カウンタの構成例を示す図、

第6図は第5図における同期処理部の構成例を示す図、

第7図は第5図および第6図における各部信号を示すタイムチャート、

第8図は本発明の別の実施例を示す図、

第9図は第8図における位相^{制御}機能付き可変出力カウンタの構成例を示す図、

第10図は本発明のさらに別の実施例を示す図、

第11図はフレーム構成を例示する図、

第12図は第1の従来例の構成を示す図、

第13図は第12図の従来例における各部信号のタイムチャートを示す図、

第14図は第2の従来例の構成を示す図、

第15図は第14図の従来例における各部信号のタイムチャートを示す図である。

- 1…直並列変換(S/P)部
- 2…ラッチ部
- 3, 8…カウンタ
- 7…同期検出部
- 9…同期保護部
- 11…可変出力カウンタ

12…並列同期検出部

13…同期制御部

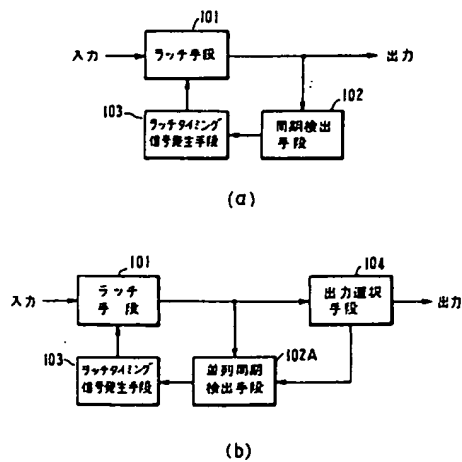
14…セレクタ

15…位相制御機能付き可変出力カウンタ

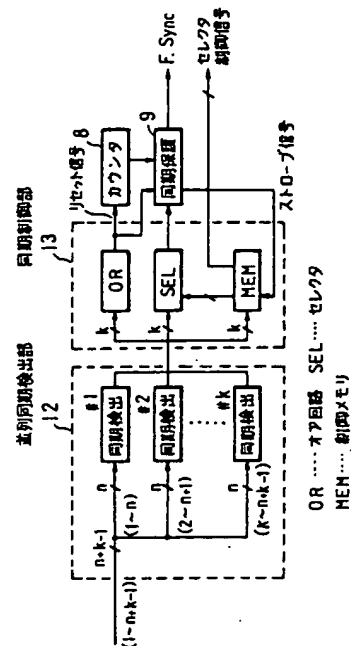
16…シフトパルス発生部

特許出願人 富士通株式会社

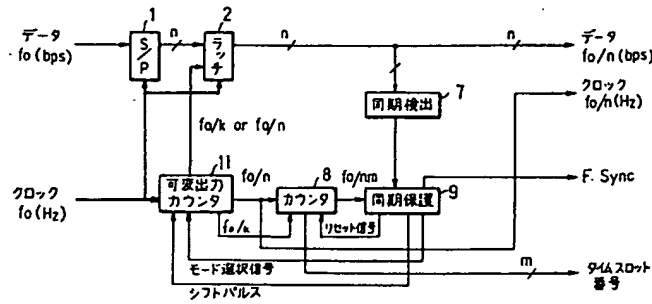
代理人 弁理士 玉蟲久五郎(外1名)



本発明の原理的構成を示す図
第1図

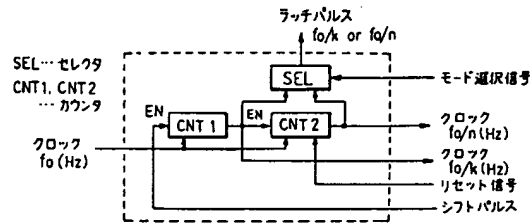


第5図における同期処理部の構成例を示す図



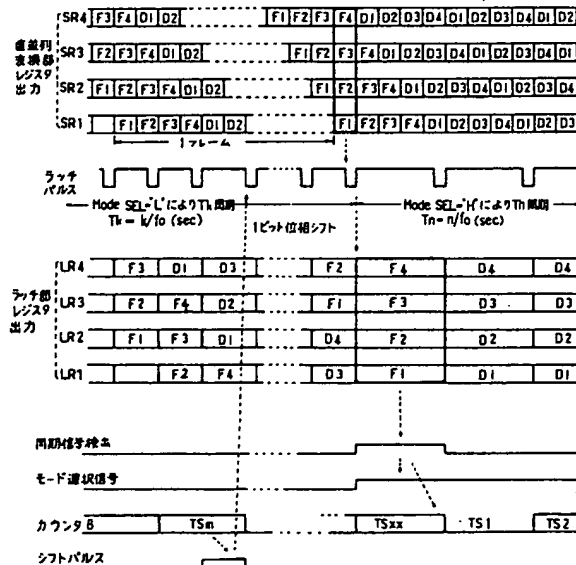
本発明の一実施例を示す図

第 2 図



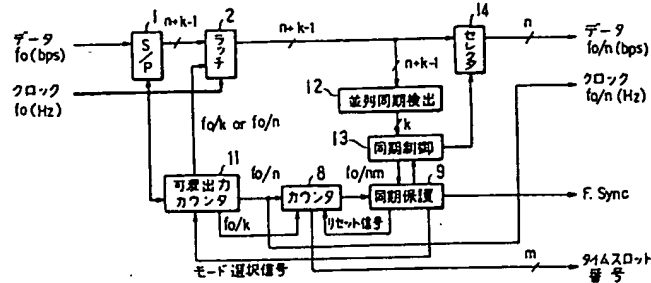
可変出力カウンタの構成例を示す図

第 3 図



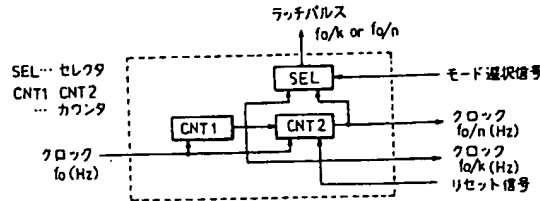
第2図および第3図における各部信号を示すタイムチャート図

第 4 図



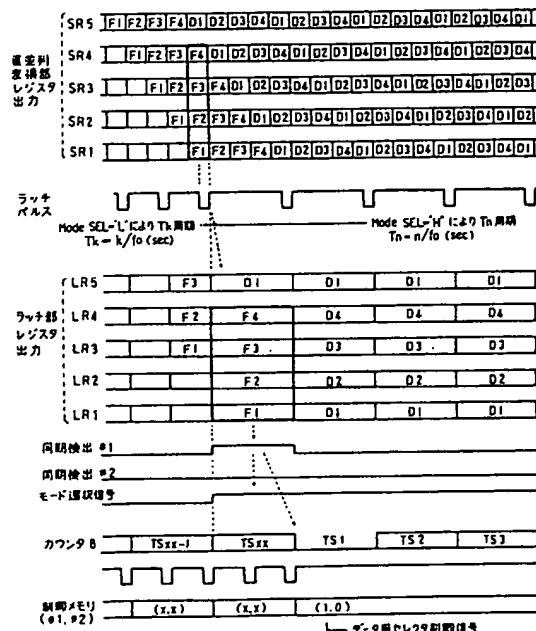
本発明の他の実施例を示す図

第 5 図



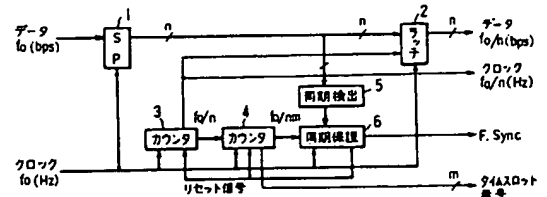
可変出力カウンタの構成例を示す図

第 5 A 図



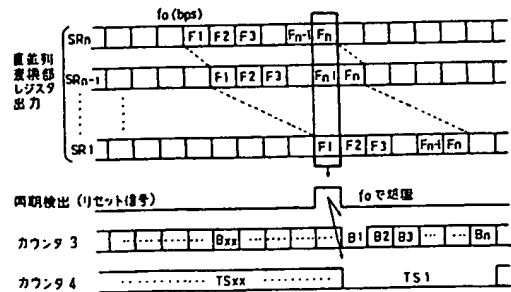
第5図および第6図における各部信号を示すタイムチャート図

第 7 図



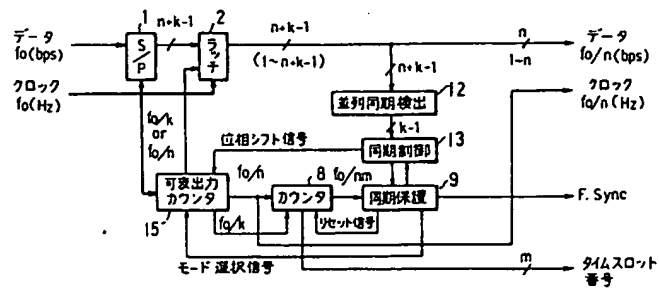
第1の従来例の構成を示す図

第 12 図



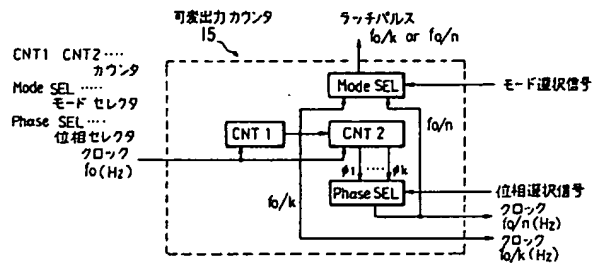
第12図の実施例における各部信号を示すタイムチャート図

第 13 図



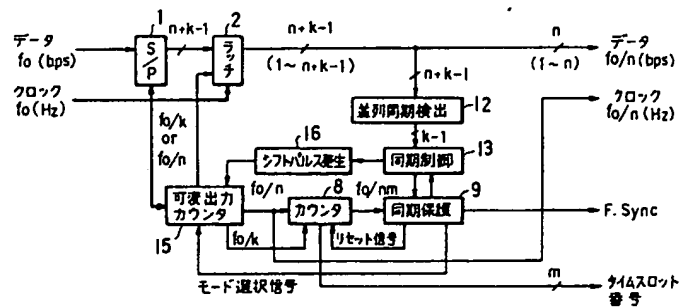
本発明の別の実施例を示す図

第 8 図



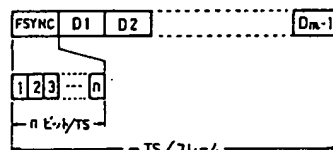
位相制御機能付き可変出力カウンタの構成例を示す図

第 9 回



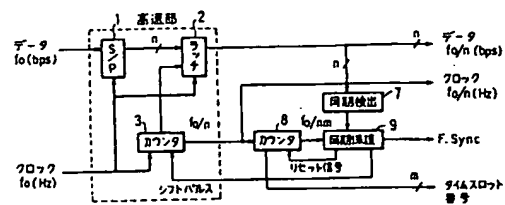
本発明のさらに別の実施例を示す図

第 10 圖



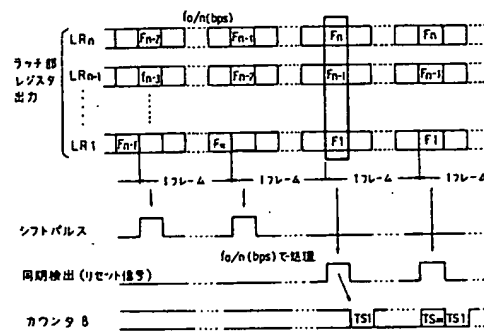
フレーム構成を例示する図

第 11 回



第2の従来例の構成を示す図

第 14 圖



第14図の従来例における各部信号を示すタイムチャート図

第 15 圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.